



Uvod

- Kod digitalnih kola je za sinhronizaciju prenosa podataka između procesnih elemenata odgovoran signal takta (clock).
- Precizno definiše trenutke kada je dozvoljeno da kolo promeni stanje.
- Signal takta treba da se pojavi u istom trenutku na svim procesnim elementima.

3

Definicije nekih sekvencijalnih kola

- Koristiti dvonivoske lečeve za formiranje master-slave fliplopa koji menja stanje na ivici takta (kada je slave transparentan).
- Statička memorija
 - koristi bistabilni element sa povratnom vezom za memorisanje stanja sve dok je napajanje uključeno
 - upisuje novi podatak u element: 1) presecanjem povratnog puta (zasnovano na multiplekseru); 2) Prenaponom povratnog puta (zasnovano na SRAM)
- Dinamička memorija
 - memoriše stanje na parazitnim kapacitivnostima tako da drži stanje samo u određenom periodu (milisekunde); zahteva periodično osvežavanje
 - obično je jednostavnija (manje tranzistora), brža, manje potrošnje energije ali zbog imunosti na šumove uvek se modifikuje kolo tako da je pseudostatička.

4

Timing klasifikacija

- Synchroni sistemi
 - Svi memorijski elementi u sistemu simultano se obnavljaju koristeći globalni distribuirani periodični sinhronizacioni signal (npr, globalni clock-signal)
 - Funkcionalnost se obezbeđuje strogim ograničenjima u generisanju i distribuciji da bi se minimizovao
 - Clock skew (prostorne varijacije ivica clock signala)
 - Clock jitter (vremenske varijacije ivica clock signala)
- Asinhroni sistemi
 - Self-timed (kontrolisani) sistemi
 - Nemaju potrebe za globalno distribuirani clock-signal ali imaju dodatke potrebne asinhronim kolima (handshaking logiku, itd.)
- Hibridni sistemi
 - Sinhronizacija između različitih taktnih domena
 - Interfejs između asinhronih i sinhronih sistema

5

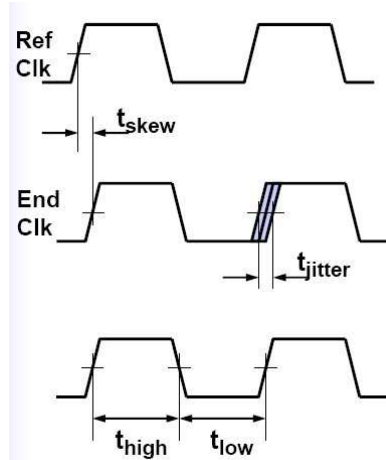
Timing klasifikacija

- Synchroni sistemi
 - Svi memorijski elementi u sistemu simultano se obnavljaju koristeći globalni distribuirani periodični sinhronizacioni signal (npr, a globalni clock-signal)
 - Funkcionalnost se obezbeđuje strogim ograničenjima u generisanju i distribuciji da bi se minimizovao
 - Clock skew (prostorne varijacije ivica clock signala)
 - Clock jitter (vremenske varijacije ivica clock signala)
- Asinhroni sistemi
 - Self-timed (kontrolisani) sistemi
 - Nemaju potrebe za globalno distribuirani clock-signal ali imaju dodatke potrebne asinhronim kolima (handshaking logiku, itd.)
- Hibridni sistemi
 - Sinhronizacija između različitih taktnih domena
 - Interfejs između asinhronih i sinhronih sistema

6

Definicija takta i parametara

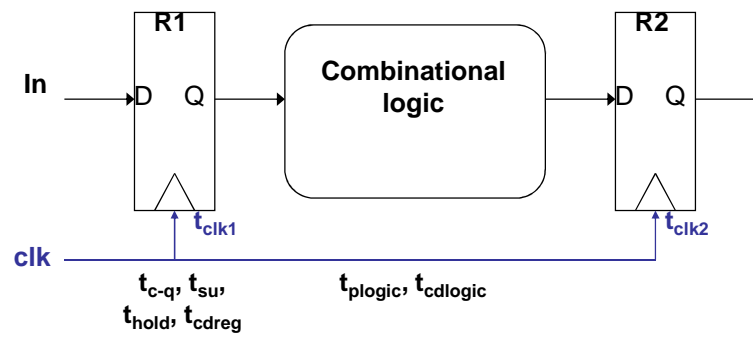
- Takt (clock) je periodični sinhronizacioni signal koji se koristi kao vremenska referenca za transfer podataka kod sinhronih digitalnih sistema.



- Skew
Prostorna varijacija taktnog signala pri distribuciji na čipu
- Clock Jitter
Vremenska varijacija takta u odnosu na referentnu ivicu
- Varijacija trajanja ciklusa
cilj projekta je 50/50

7

Osnove sinhronog timing-a



8

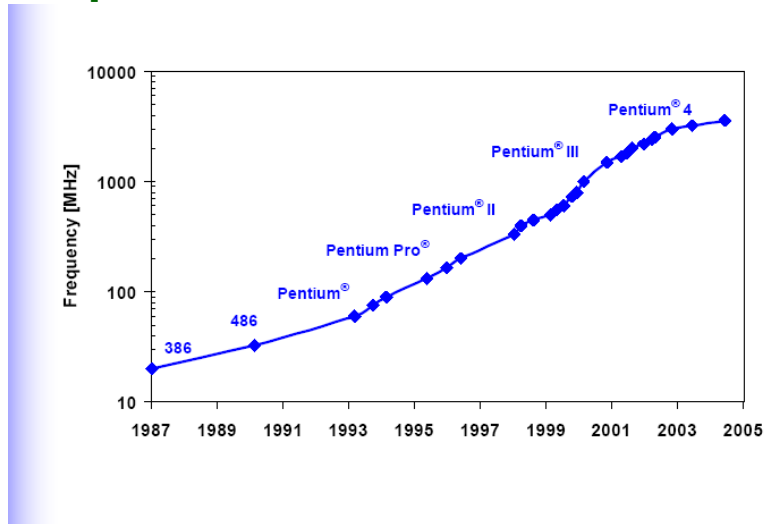
Osnove sinhronog timing-a

- Pod idealnim uslovima (npr, kada je $t_{clk1} = t_{clk2}$)
- $T \geq t_{c-q} + t_{plogic} + t_{su}$
- $t_{hold} \leq t_{cdlogic} + t_{cdreg}$
- U stvarnim uslovima, clock-signal može imati obe, prostorne (clock skew) i vremenske (clock jitter) varijacije
 - skew je konstantan od ciklusa do ciklusa (po definiciji); skew može biti pozitivan (dovođenje takta i tok podataka u istom smeru) ili negativan (dovođenje takta i tok podataka u suprotnim smerovima)
 - jitter izaziva promenu T ciklus-po-ciklus

9

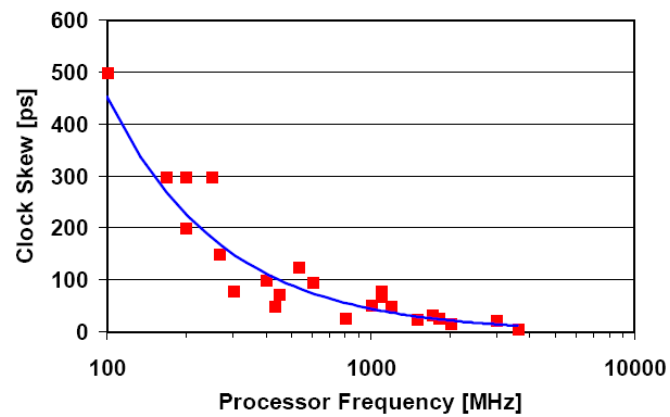


Trend promene frekvencije takta kod procesora:



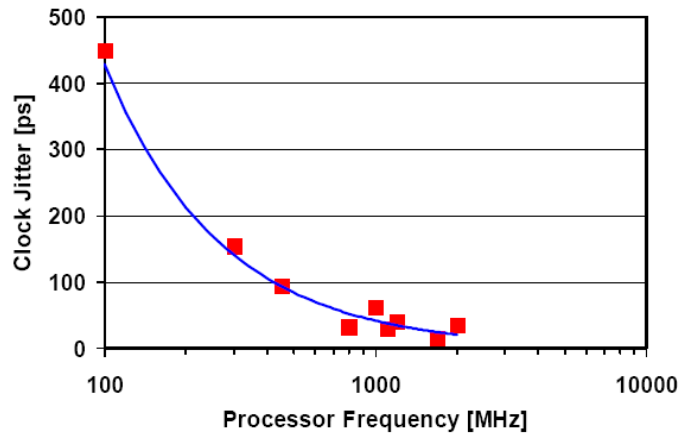
11

Clock Skew Trend



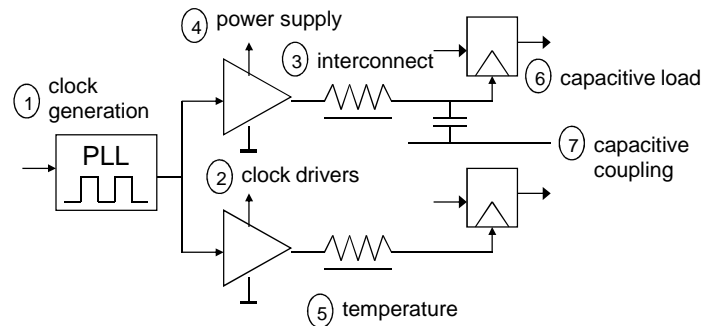
12

Clock Jitter Trend



13

Izvori Clock Skew i Jitter na vezi takta:



- **Skew**

- varijacije u izradi drajvera takta
- varijacije veza
- varijacije okoline (izvora napajanja i temperature)

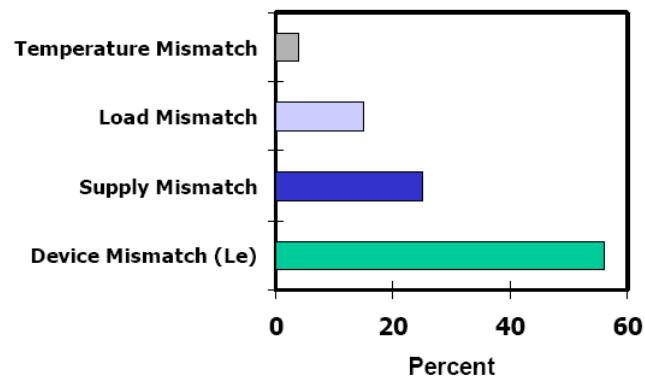
- **Jitter**

- generisanje takta
- kapacitivno opterećenje i sprega
- varijacije okoline (izvora napajanja i temperature)

14

Sources of Clock Skew

- With a perfectly balanced distribution, device mismatch is the largest contributor to the clock skew



15

Takt (Clock) - specijalni signal

- **Taktni signali se često posmatraju kao jednostavni kontrolni signali; međutim, ovi signali imaju neke vrlo specifične karakteristike i atribute:**
 - **opterećeni najvećim fanoutom,**
 - **prelaze najveća rastojanja,**
 - **i rade na najvećoj brzini u odnosu na sve signale, i kontrole i podataka, u celom sistemu.**

16

Integralni deo projekta sistema

- **Kompromis – veliki uticaj na brzinu sistema, oblast čipa i disipaciju snage.**
- **Metodologija projektovanja i strukturna topologija veze za distribuciju takta moraju se razmotriti u toku razvoja sistema za distribuciju takta.**

17

Zahtevi

- **Talasni oblik takta mora biti naročito čist i oštar.**
- **Bez skew-a.**

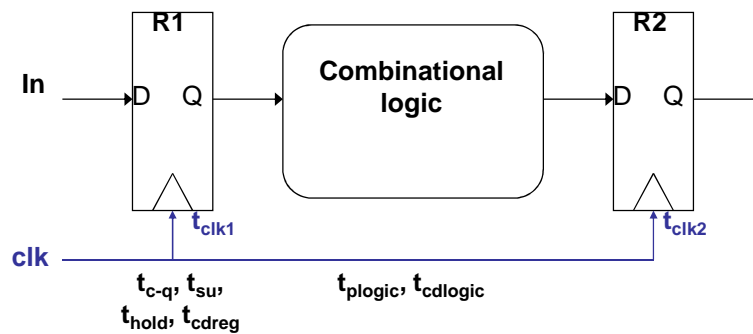
18

Teškoće

- Zahtev za distribuciju strogo kontrolisanog taktnog signala do svakog sinhronog registra na velikom hijerarhijski strukturiranom integrisanom kolu unutar specifičnih vremenskih granica je težak.

19

Ponovo: Osnove sinhronog timing-a



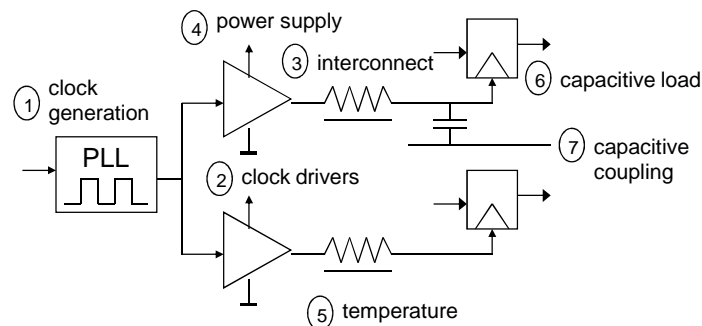
20

Osnove sinhronog timing-a

- Pod idealnim uslovima (npr, kada je $t_{clk1} = t_{clk2}$)
- $T \geq t_{c-q} + t_{plogic} + t_{su}$
- $t_{hold} \leq t_{cdlogic} + t_{cdreg}$
- U stvarnim uslovima, clock-signal može imati obe, prostorne (clock skew) i vremenske (clock jitter) varijacije
 - skew je konstantan od ciklusa do ciklusa (po definiciji); skew može biti pozitivan (dovođenje takta i tok podataka u istom smeru) ili negativan (dovođenje takta i tok podataka u suprotnim smerovima)
 - jitter izaziva promenu T ciklus-po-ciklus

21

Izvori Clock Skew i Jitter na vezi takta:



- **Skew**

- varijacije u izradi drajvera takta
- varijacije veza
- varijacije okoline (izvora napajanja i temperature)

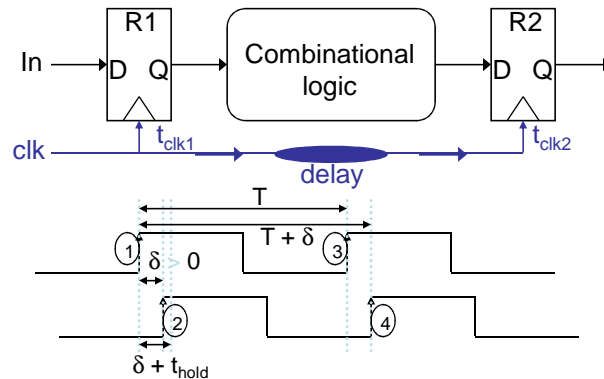
- **Jitter**

- generisanje takta
- kapacitivno opterećenje i sprega
- varijacije okoline (izvora napajanja i temperature)

22

Pozitivni clock skew:

(tok takta i podataka u istom smeru)



$$T: \quad T + \delta \geq t_{c-q} + t_{plogic} + t_{su} \Rightarrow T \geq t_{c-q} + t_{plogic} + t_{su} - \delta$$

$$t_{hold}: \quad t_{hold} + \delta \leq t_{cdlogic} + t_{cdreg} \Rightarrow t_{hold} \leq t_{cdlogic} + t_{cdreg} - \delta$$

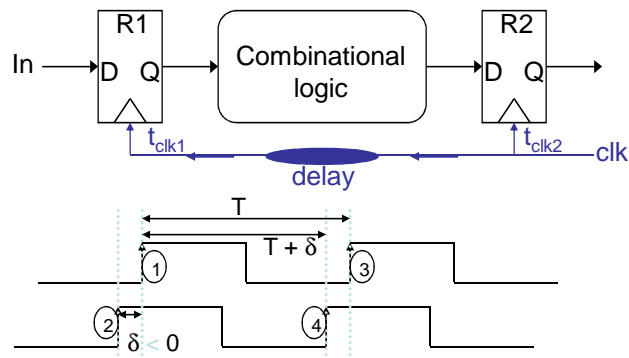
Pozitivni clock skew

$\delta > 0$:

Popravlja performanse, ali postizanje t_{hold} čini težim. Ako t_{hold} nije postignuto (uslovi trke), kolo pogrešno funkcioniše nezavisno od periode takta!

Negativni clock skew

(tok takta i podataka u suprotnim smerovima)



$$T: T + \delta \geq t_{c-q} + t_{plogic} + t_{su} \Rightarrow T \geq t_{c-q} + t_{plogic} + t_{su} - \delta$$

$$t_{hold}: t_{hold} + \delta \leq t_{cdlogic} + t_{cdreg} \Rightarrow t_{hold} \leq t_{cdlogic} + t_{cdreg} - \delta$$

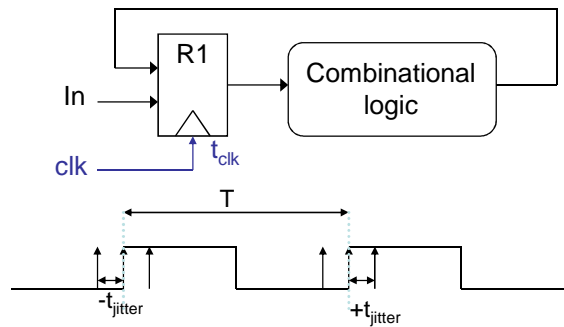
Negativni clock skew

$\delta < 0$:

Degradira performanse, ali lakše je postići t_{hold} (eliminisanje uslova trke).

Clock Jitter

Jitter uzrokuje variranje T na osnovi ciklus-po-ciklus

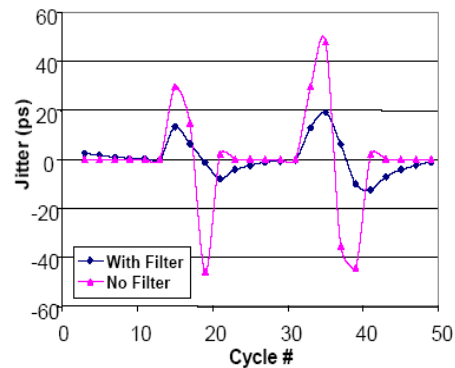
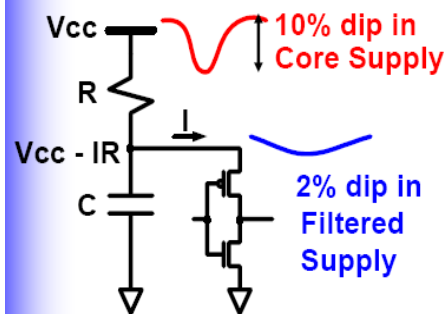


$$T : \quad T - 2t_{jitter} \geq t_{c-q} + t_{plogic} + t_{su} \Rightarrow$$

$$\Rightarrow T \geq t_{c-q} + t_{plogic} + t_{su} + 2t_{jitter}$$

- Jitter direktno redukuje performanse sekvencijalnog kola!

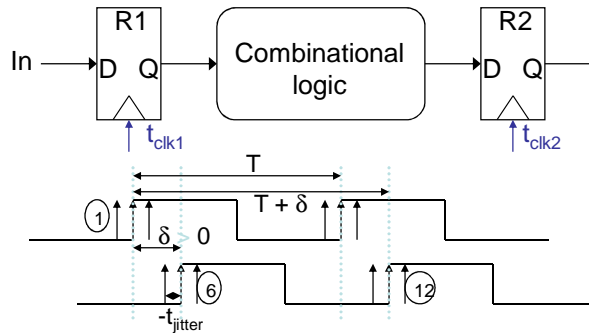
Pentium[®] 4 Processor Jitter Reduction



- RC-filtered power supply for clock drivers reduces clock distribution jitter

Kombinovani uticaj Skew-a i Jitter-a

Ograničenje
na minimalnoj
periodi takta
($\delta > 0$)



$$T \geq t_{c-q} + t_{plogic} + t_{su} - \delta + 2t_{jitter}$$

$$t_{hold} \leq t_{cdlogic} + t_{cdreg} - \delta - 2t_{jitter}$$

- $\delta > 0$ sa jitter-om: Degradirana performanse, i čini da je t_{hold} čak teže postići. (Prihvatljivi skew je redukovan jitter-om.)

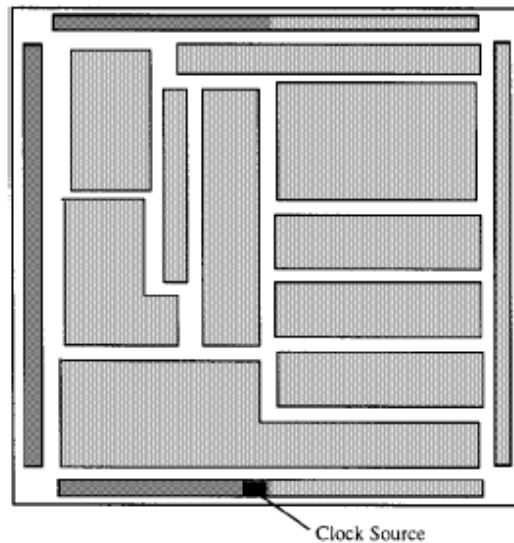


Fig. 9. Floorplan of structured custom VLSI circuit requiring synchronous clock distribution.

Skaliranje tehnologije

- **Tehnološko skaliranje** je doprinelo da duge globalne veze postanu visokootporne jer su dimenzije linija smanjene. Ova povećana linijska otpornost je jedan od primarnih razloga za rastuću značaj distribucije takta na osobine sinhronih kola.

34

Strategije za distribuciju takta
(važna je samo relativna faza
između dva taktovana elementa)

35

Cilj: Nula skew

- Trasirati veze takta do odredišta tako da se ivice takta pojavljuju istovremeno.

36

Stablo takta (Clock tree)

- Jedan drajver---Ako je otpornost veze bafera taktnog signala mala i porediva sa izlaznom otpornošću bafera.
- Održati visoki kvalitet oblika takta (tj. kratka vremena prelaza)
- Koristiti Elmorovu formulu za izračunavanje kašnjenja
- Izbalansirati kašnjenja po različitim putevima
- **Posledica** --- veliko kašnjenje, mogućnost pobuđivanja treba da je velika

37

Terminologija

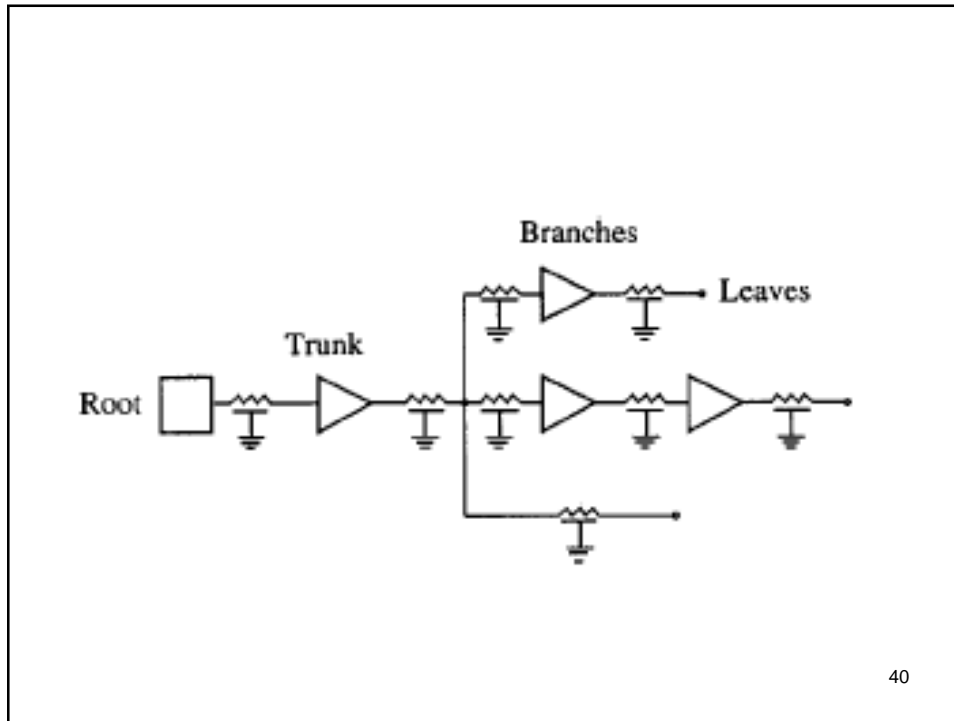
- Jedinostveni izvor takta često se naziva **krenom** stabla,
- početni deo stabla naziva se **deblo**,
- posebni delovi koji pobuđuju svaki registar nazivaju se **granama**,
- a registri koji se pobuđuju nazivaju se **listovima**.

38

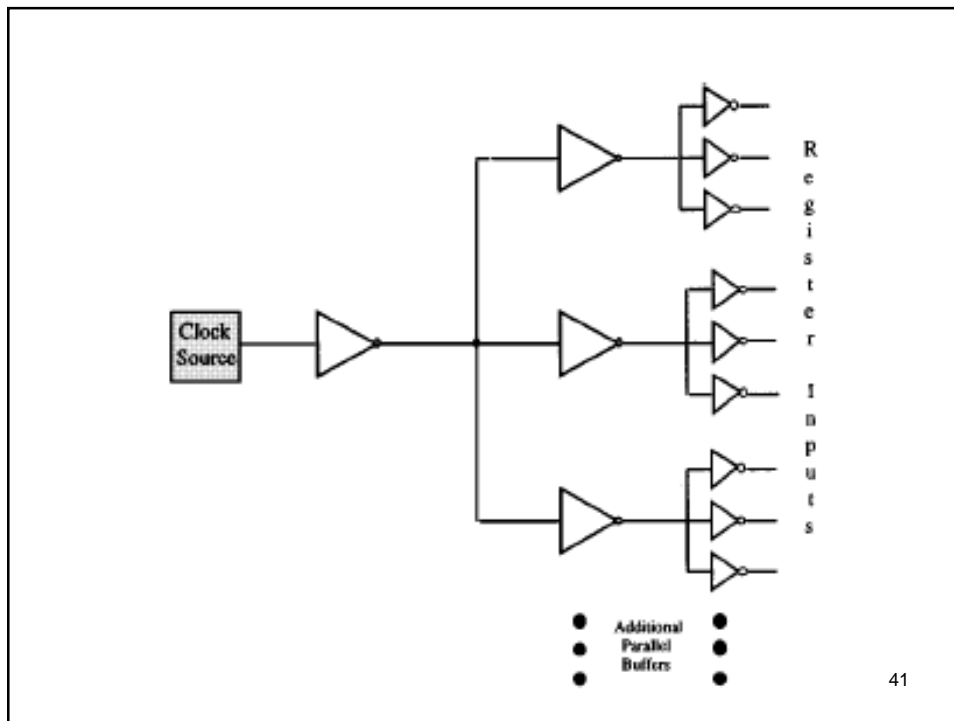
Baferovano stablo takta – velika otpornost veze

- Najopštiji i generalni pristup ekvipotencijalnoj distribuciji takta je upotreba baferovanih stabala,
- To dovodi do asimetrične strukture!
- SVI PUTEVI SU IZBALANSIRANI!

39



40



41

Baferovano stablo takta

- Insetovati bafere ili kod izvora takta i/ili duž veze takta, formirajući strukturu stabla.

42

Baferi

Insetovani baferi imaju dvostruku funkciju:

- pojačavanje taktnog signala koji degradira zbog distribuirane impedanse veze, i
- izolovanje lokalnih mreža takta od mnogobrojnih impedansi opterećenja

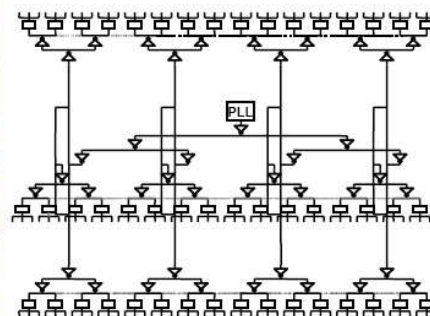
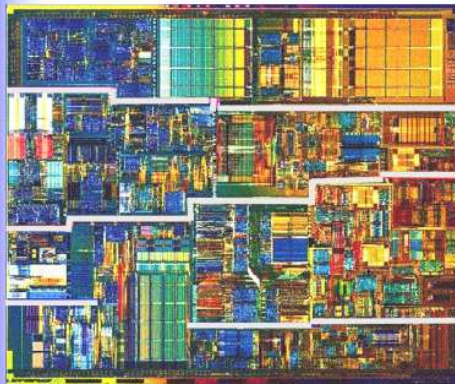
43

Projekat

- Svi čvorovi imaju kapacitivnost
- Sve grane imaju otpornost
- Utvrditi opterećenj (fan out) svakog bafera
- Izračunati broj potrebnih nivoa
- Postaviti bafere optimalno
pravilo – minimizovati kašnjenje
kašnjenje bafera = kašnjenje segmneta

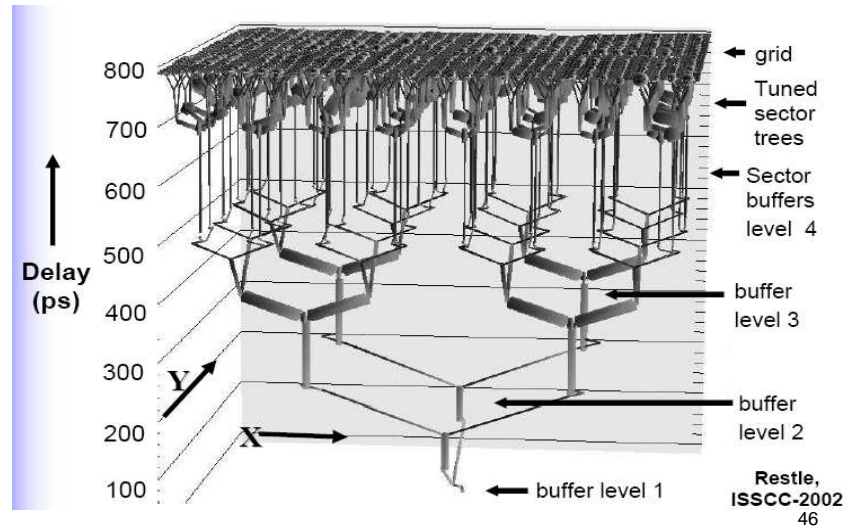
44

Pentium® 4 Processor Clock Network

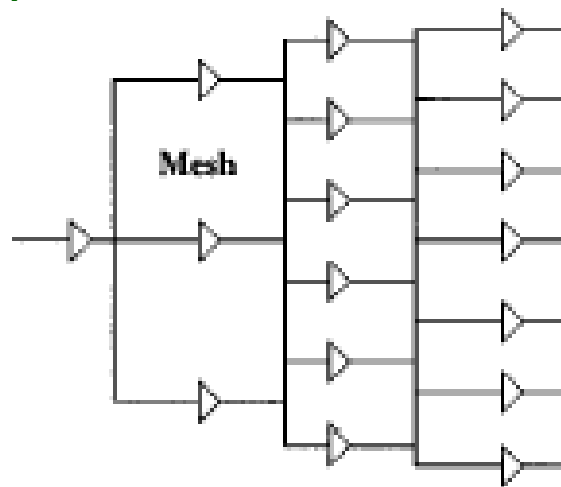


45

3D Skew Visualization



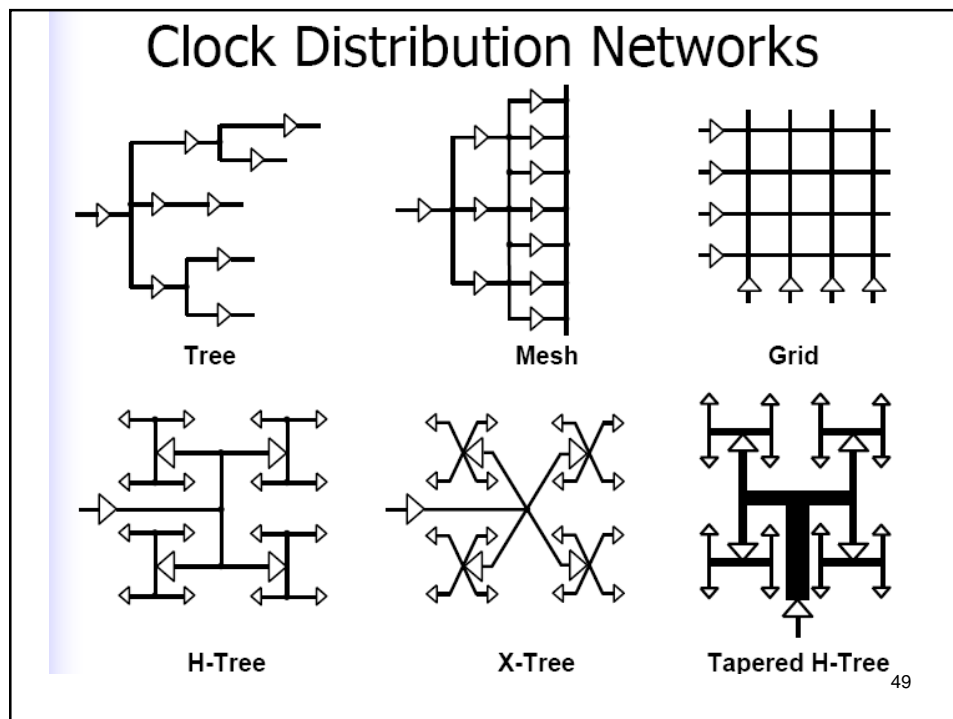
Verzija taktnog stabla oblika mreže (mesh)



Verzija taktnog stabla oblika mreže (mesh)

- Da bi se minimizovala otpornost veze stabla takta , promeniti (uskладiti) puteve duž veze.
- Ova mrežasta struktura efektivno razmešta otporne grane paralelno, minimizujući clock skew.

48



Svojstva stabla za distribuciju takta

- H TREE - simetrično, regularno polje, clk skew može biti mali
- X TREE - varijanta H TREE
- Nulti skew postiže se upravljanjem veze takta i baferima koji treba da budu identični od izvora signala takta do taktovanog registra na svakom taktnom putu.
- svaki put takta od izvora takta do taktovanog registra ima praktično isto kašnjenje.

50



51